

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2005-151056
(P2005-151056A)

(43)公開日 平成17年6月9日(2005.6.9)

(51) Int.Cl.⁷
H04L 9/20
G09C 1/00F 1
H04L 9/00 653
G09C 1/00 650Zテーマコード(参考)
5J104

審査請求 未請求 請求項の数 4 〇 し (全 9 頁)

(21)出願番号	特願2003-384203 (P2003-384203)	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成15年11月13日 (2003.11.13)	(74)代理人	100079991 弁理士 香取 孝雄
		(72)発明者	笠村 健二 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
		F ターム(参考)	5J104 AA01 AA18 AA20 FA01 JA04 NA02 NA23

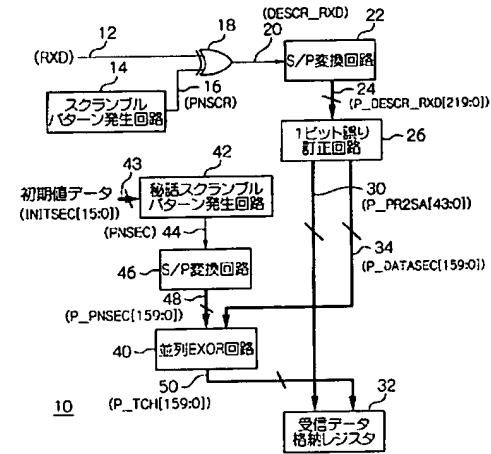
(54)【発明の名称】デスクランブル回路

(57)【要約】

【課題】デスクランブル処理を高速化し、回路規模の増大を防止することのできるデスクランブル回路を提供。

【解決手段】受信データ(RXD)がスクランブルパターン発生回路14からの出力PNパターン信号(PNSCR)が入力される排他的論理回路18にてスクランブル解除され、これをパラレル化したデータが1ビット誤り訂正回路26にてCRC誤り訂正処理されて、スクランブル処理が施されている160ビットのデータ(P_DATASEC)が並列排他論理和(EXOR)回路40に供給される。スクランブル解除用のPNパターン(PNSEC)が秘話スクランブルパターン発生回路42にて生成されると、そのPNパターン(PNSEC)出力が160ビットパラレルのデータ(P_PNSEC)に変換されて並列排他論理和(EXOR)回路40に供給され、160個の排他論理演算回路にて各入力データがビット対応に演算されてデスクランブル処理がパラレルにて行われる。

【選択図】図1



デスクランブル回路の構成例

【特許請求の範囲】**【請求項 1】**

スクランブル処理を施されたパラレルデータのデスクランブル処理を行うデスクランブル回路において、該回路は、

前記パラレルデータをデスクランブルするためのスクランブル解除パターンを発生するパターン発生手段と、

前記スクランブル解除パターンをパラレル化する変換手段と、

前記変換手段に接続され、パラレル化されたスクランブル解除パターンと前記パラレルデータとを入力し、ビット対応に排他的論理和演算する演算手段とを含むことを特徴とするデスクランブル回路。
10

【請求項 2】

請求項 1 に記載のデスクランブル処理回路において、該回路は、受信される受信信号をパラレルにて誤り訂正し、パラレルデータとして出力する訂正手段を含み、

前記演算手段は、前記訂正手段の出力に接続され、前記訂正手段からのパラレルデータを入力することを特徴とするデスクランブル回路。

【請求項 3】

スクランブル処理を施されたパラレルデータのデスクランブル処理を行うデスクランブル回路において、該回路は、

前記パラレルデータをデスクランブルするためのスクランブル解除パターンを保持し、スクランブル解除用の初期値データをアドレスデータとして入力して該初期値データに応じたスクランブル解除パターンデータをパラレルに出力するパターン発生手段と、
20

前記パターン発生手段に接続され、前記スクランブル解除パターンデータと前記パラレルデータとを入力し、ビット対応に排他的論理和演算する演算手段とを含むことを特徴とするデスクランブル回路。

【請求項 4】

請求項 3 に記載のデスクランブル処理回路において、該回路は、受信される受信信号をパラレルにて誤り訂正し、パラレルデータとして出力する訂正手段を含み、

前記演算手段は、前記訂正手段の出力に接続され、前記訂正手段からのパラレルデータを入力することを特徴とするデスクランブル回路。
30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、スクランブル処理されたデータのスクランブルを解除するデスクランブル回路に関するものである。

【背景技術】**【0002】**

近年、携帯電話端末やPHS端末などの携帯無線通信装置が普及している。RCR STD-28(第2世代コードレス電話システム標準規格)では、送信時の簡易秘話スクランブル処理が規定されている。PHS端末では簡易秘話機能を有している。
40

【0003】

この簡易秘話スクランブル処理は、呼毎に生成される秘匿鍵コードからスクランブル処理用のシフトレジスタ初期値が生成され、それをもとにPNパターンを生成する。このPNパターンとTCHデータ(160ビット)との排他的論理和をとり、簡易秘話スクランブル処理が行なわれて、データ(DATASEC)が生成される。このデータ(DATASEC)にCI(4ビット)とSA(16ビット)を付加し、合計180ビットのデータに対してCRC演算を行い、CRCビットを180ビットデータの最後尾に付加して196ビット長のデータを生成する。次にこの196ビットのデータのうち、データ(DATASEC)とCRCビットに相当する部分に対してスクランブル処理を行つてデータ(DATASCR)を生成し、この生成データに、PR(8ビット)およびUWビットを付加した合計220ビットのデータを作成して送信する。

【0004】

受信時は、受信データ(DATASCR)に相当するビットに対してデスクランブル処理を行う。次に、デスクランブル済みデータについてCRCチェックや誤り訂正を行い、最後にデータ(DATASEC)に相当するビットに対して簡易秘話デスクランブル処理を施すことにより元のTCHデータを得ることができる。

【0005】

具体的には受信データは、PNパターンとの排他的論理和がとられて、デスクランブル処理がなされ、処理後のデータはシリアル/パラレル変換回路にてパラレルデータに変換されて、1ビット誤り訂正回路にて誤り訂正処理が施される。1ビット誤り訂正回路から出力される誤り訂正済データは、PRからSAまでの44ビットのデータ(P_PR2SA)と、簡易秘話スクランブル処理が施された160ビットのデータ(P_DATASEC)とに分けられてそれぞれ出力される。

10

【0006】

データ(P_DATASEC)は、さらにパラレル/シリアル変換回路にてシリアルデータに変換されて、排他的論理和ゲートの一方の入力に接続し、排他的論理和ゲートの他方の入力には、秘話スクランブルパターン発生回路から出力される簡易秘話スクランブル解除用PNパターンデータ(PNSEC)が入力されて、これらデータの演算処理の結果、簡易秘話デスクランブル済のデータ(TCH)が排他的論理和ゲートからシリアル/パラレル回路に供給される。このシリアル/パラレル回路にてパラレルに変換されたデータ(P_TCH)と、誤り訂正回路からのシリアル/パラレル回路にてパラレルに変換されたデータ(P_PR2SA)とは受信データ格納レジスタに入力されて、レジスタ内に格納される。

20

【0007】

【特許文献1】特開平5-30102号公報

【非特許文献1】社団法人 電波産業会(ARIB: Association of Radio Industries and Businesses)標準規格名「第二世代コードレス電話システム」(規格番号RCR STD-28) (平成14年3月28日改訂4.0版)

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら従来では、デスクランブル処理された受信データ(DESCR_RXD)を一旦シリアルデータからパラレルデータに変換して、そのパラレルデータに対しCRC誤り訂正処理を行う必要があり、このため、その後出力される誤り訂正済みのパラレルデータ(P_DATASEC)に対して簡易秘話デスクランブル処理を行う。

30

【0009】

続く簡易秘話デスクランブル処理はシリアル処理であるためパラレルのデータ(P_DATASEC)を一旦シリアルデータ(DATASEC)に変換してから1ビットずつ秘話デスクランブル処理をしなければならないという問題があった。

【0010】

このため160ビット分の簡易秘話デスクランブル処理に要する時間は、少なくとも160クロック分の時間が必要となり、データが確定し、受信データを格納するレジスタに格納できる状態になるまでに、内部の動作クロック周波数にもよるが時間がかかるという問題があった。

40

【0011】

また、これらの処理を行うためにパラレル/シリアル変換回路、シリアル/パラレル変換回路およびそれらの制御回路が必要となり、さらに秘話スクランブルを解除するためのPNパターン(PNSEC)の出力タイミングと、データ(DATASEC)の出力タイミングを合わせるための制御回路も複雑化し、回路規模が増大するという問題があった。

【0012】

本発明はこのような従来技術の欠点を解消し、デスクランブル処理を高速化するとともに、回路規模の増大を防止することのできるデスクランブル回路を提供することを目的とする。

50

【課題を解決するための手段】**【0013】**

本発明は上述の課題を解決するために、スクランブル処理を施されたパラレルデータのデスクランブル処理を行うデスクランブル回路において、この回路は、パラレルデータをデスクランブルするためのスクランブル解除パターンを発生するパターン発生手段と、スクランブル解除パターンをパラレル化する変換手段と、変換手段に接続され、パラレル化されたスクランブル解除パターンとパラレルデータとを入力し、ビット対応に排他的論理和演算する演算手段とを含むことを特徴とする。この場合、この回路は、受信される受信信号をパラレルにて誤り訂正し、パラレルデータとして出力する訂正手段を含み、演算手段は、訂正手段の出力に接続され、訂正手段からのパラレルデータを入力するとよい。

10

【0014】

また、本発明は上述の課題を解決するために、スクランブル処理を施されたパラレルデータのデスクランブル処理を行うデスクランブル回路において、この回路は、パラレルデータをデスクランブルするためのスクランブル解除パターンを保持し、スクランブル解除用の初期値データをアドレスデータとして入力して初期値データに応じたスクランブル解除パターンデータをパラレルに出力するパターン発生手段と、パターン発生手段に接続され、スクランブル解除パターンデータとパラレルデータとを入力し、ビット対応に排他的論理和演算する演算手段とを含むことを特徴とする。この場合、この回路は、受信される受信信号をパラレルにて誤り訂正し、パラレルデータとして出力する訂正手段を含み、演算手段は、訂正手段の出力に接続され、訂正手段からのパラレルデータを入力するとよい

20

【発明の効果】**【0015】**

本発明によれば、デスクランブル処理をパラレルデータの状態で処理することができ、デスクランブル処理された受信データを出力するまでの時間を短縮することができる。また、従来回路で必要であったパラレル/シリアル変換回路や複雑な制御回路も不要となり、回路規模を縮小できる。

【0016】

さらに、パターン発生手段として、スクランブル解除パターンデータを保持するメモリを備える構成の場合には、初期値データをメモリのアドレス端子に入力することによりパラレルPNパターンが得られるので、スクランブルパターン発生回路およびシリアル/パラレル変換回路も不要になるため構成および制御が簡単になる。またPNパターンの生成多項式が変わった場合には、メモリ内の格納データを書き換えることで対応することができる。

30

【発明を実施するための最良の形態】**【0017】**

次に添付図面を参照して本発明によるデスクランブル回路の実施例を詳細に説明する。なお、以下の説明において本発明に直接関係のない部分は、図示およびその説明を省略し、また、信号の参照符号はその現れる接続線の参照符号で表す。図1を参照すると、本発明によるデスクランブル回路10は、受信データ(RXD)を入力する入力12と、スクランブルパターン発生回路14の出力16に接続された排他的論理回路18を有する。

40

【0018】

スクランブルパターン発生回路14は、受信データに施されたスクランブルを解除するためのPNパターン信号(PNSCR)を生成して出力16に出力し、排他的論理回路18は、受信データ(RXD)12とPNパターン信号(PNSCR)との排他的論理和を演算してその演算結果信号(DESCR_RXD)を出力20に出力する。

【0019】

ここで、簡易秘話スクランブル処理を行う送信側の簡易秘話スクランブル処理の機能ブロック図を図2に示す。送信側処理ブロック200は、まず秘匿鍵コード202からスクランブル処理用のシフトレジスタ初期値204を生成し、それをもとにPNパターン206を生成する。

50

次にこのPNパターン206と160ビットのTCHデータ210との排他的論理和を演算回路212にて演算することにより簡易秘話スクランブル処理を行い、データ(DATASEC) 214を生成する。次いでデータ(DATASEC) 214にCI(4ビット)とSA(16ビット)を付加して180ビットのデータを作成し、さらにこれに対してCRC演算を行い、最後尾に16ビットのCRCビットを付加して合計196ビット長のデータ220を生成する。次にこのデータ220のうち、データ(DATASEC) 214とCRCとに相当する部分に対して排他的論理和を演算する簡易秘話スクランブル処理を演算回路212にて行ってデータ(DATASCR) 222を生成し、これにさらにPR(8ビット)およびUWビットを付加した合計220ビットの送信データ230を作成して送信する。

【0020】

図1に戻って、上述のようにして秘話スクランブル処理が施された送信データ230が受信側装置にて受信復調され、ベースバンド処理が行われる。受信装置側では、その処理データを受信データ(RXD) 12としてデスクランブル回路10に入力する。 10

【0021】

排他的論理和回路18のシリアル出力(DESCR_RXD) 20はシリアル/パラレル(S/P)変換回路22に接続されている。S/P変換回路22は、入力20に入力される演算結果信号(DESCR_RXD)を、PRビットからCRCビットまでのシリアルから220ビット長のパラレルのデータ(P_DESCR_RXD[219:0])に変換して出力24に出力する変換回路であり、そのパラレル出力24は1ビット誤り訂正回路26に接続されている。

【0022】

1ビット誤り訂正回路26は、入力データに対しCRC誤り訂正処理を行う回路であり、入力されるデータ(P_DESCR_RXD[219:0])のうちCIビット以降の196ビットのデータに対して1ビット誤り訂正処理を行ってこれを誤り訂正済み受信データとする。1ビット誤り訂正回路26は、PRビットからSAビットの44ビットに相当するデータ(P_PR2SA[43:0])を出力30に接続された受信データ格納レジスタ32に出力する。また1ビット誤り訂正回路26は、簡易秘話スクランブル処理が施されている160ビットのデータ(P_DATASEC[159:0])を出力34に接続された並列排他論理和(EXOR)回路40に出力する。 20

【0023】

一方、簡易秘話解除用の初期値データ(INITSEC[15:0])を秘話スクランブルパターン発生回路42の入力43に入力し、秘話スクランブルパターン発生回路42は、初期値データ(INITSEC[15:0]) 43に基づいて簡易秘話スクランブル解除用のPNパターン(PNSEC)を順次生成して出力44にシリアル出力する。この出力44はシリアル/パラレル(S/P)変換回路46に接続され、S/P変換回路46は入力されるPNパターン(PNSEC) 44を160ビットパラレルのデータ(P_PNSEC[159:0])に変換して出力48に出力する。S/P変換回路46の出力48は並列排他論理和(EXOR)回路40に接続されている。 30

【0024】

並列EXOR回路40は、それぞれ排他的論理和を演算出力する160個の排他的論理和演算回路を含み、パラレル変換されたPNパターン(P_PNSEC[159:0]) 48と、CRC誤り訂正済みパラレルデータ(P_DATASEC[159:0]) 34とのビット毎の排他的論理和をそれぞれ並列してビット対応に演算する並列演算回路である。これにより、従来シリアル処理していた簡易秘話デスクランブル処理を並列に処理することができる。並列EXOR回路40は、簡易秘話デスクランブル済みのデータ(P_TCH[159:0])を出力50にパラレル出力する。この出力50は、受信データ格納レジスタ32の一方の入力に接続され、データ格納レジスタ32の他方の入力には1ビット誤り訂正回路26の出力(P_PR2SA[43:0]) 30が接続されている。格納レジスタ32これらデータを格納する。 40

【0025】

以上のような構成でデスクランブル回路10の動作を図3を参照して説明する。スクランブルパターン発生回路14は、デスクランブル用PNパターン(PNSCR) 16を生成する。排他的論理和回路18は、PNパターンデータ(PNSCR) 16と、受信データ(RXD) 12の排他的論理和を演算することによりデスクランブル処理を行い、この処理によって生成されたデータ(DESCR_RXD) 20は、S/P変換回路24にてPRビットからCRCビットまでの220ビット長のパラレル 50

データ(P_DESCR_RXD) 24に変換される。CRCによる処理を行う1ビット誤り訂正回路26は、入力されるデータ(P_DESCR_RXD) 24のうちCIビット以降のデータ196ビット分に対して1ビット誤り訂正を行って、処理後のデータを誤り訂正済み受信データとする。1ビット誤り訂正回路26からは、PRビットからSAビットの44ビットに相当するデータ(P_PR2SA) 30と、簡易秘話スクランブル処理が施されている160ビットのデータ(P_DATASEC) 34との2種類のデータがそれぞれ出力される。

【0026】

これら2種類のデータ、(P_DATASEC) 34と、(P_PR2SA) 30とが確定するタイミングは時間t2であり、これは従来構成の場合と同様である。一方、以降の簡易秘話スクランブル処理は従来とは大きく異なる。なお、時間t1から時間t2までの時間t(ec)は、CRC誤り訂正処理時間であり、たとえば1ビット誤り訂正回路26の回路構成や動作クロック等の条件に依存する動作期間である。

【0027】

簡易秘話スクランブル解除用のPNパターン(PNSEC) 44は、秘匿鍵コードをもとに生成される初期値データ(INITSEC) 43によって一律に定まる。そこで、160ビット分のPNパターン(PNSEC) 44を秘話スクランブルパターン発生回路42にて時間t0以前にあらかじめ生成し、S/P変換回路64にて160ビットのパラレルデータ(P_PNSEC)に変換してパラレル出力可能に保持しておく。この変換が完了する時間t0は、1ビット誤り訂正回路26にて1ビット誤り訂正処理が終わる前であればよい。簡易秘話デスクランブルは並列EXOR回路40でパラレル処理される。CRC誤り訂正が終了し、さらにデータ(P_DATASEC) 34が確定するt2の時点で簡易秘話デスクランブル済みデータ(P_TCH) 50が確定される。データ(P_TCH) 50は、その後にデータ(P_PR2SA) 30とともに受信データ格納レジスタ32にラッチすることができる。

【0028】

このように、図1～図3に示した実施例によれば、簡易秘話デスクランブルをパラレルにて処理することができ、受信データをレジスタに格納するまでの時間を短縮することができる。また、従来の回路で必要であったパラレル/シリアル変換回路や複雑な制御を行う制御回路も不要となり、回路規模を縮小することができる。

【0029】

次に図4を参照して簡易秘話デスクランブル回路の他の実施例を説明する。図4を参照するとデスクランブル回路400の他の構成例が示されている。図示するようにデスクランブル回路400は、図1に示したデスクランブル回路10に備えられている秘話スクランブルパターン発生回路42とS/P変換回路46とに代えて、アドレス幅が16ビットであり、データ幅が160ビットであるPNパターン格納メモリ402が備えられている。PNパターン格納メモリ402には入力アドレスに対応するPNパターンデータが格納されており、PNパターン格納メモリ402のアドレス入力404には、"0000h"から"FFFFh"までの全ての初期値データ(INITSEC[15:0])が入力される。したがってPNパターン格納メモリ402は、初期値データ(INITSEC[15:0]) 404をアドレスとして入力すると、対応するPNパターンデータ(P_PNSEC[159:0])を確定する。PNパターン格納メモリ402のデータ出力(P_PNSEC[159:0]) 406は、並列EXOR回路40の一方の入力に接続される。他の構成部分は図1に示した構成例と同じ構成でよい。

【0030】

以上の構成でデスクランブル回路400の動作を図5を参照して説明する。図5には、デスクランブル回路400の動作時タイミングチャートが示されている。本実施例では、データ(P_PNSEC[159:0]) 406の確定する時間が図3に示したタイミングチャートと異なり、データ(P_PNSEC[159:0]) 406の確定する時間が時間t0となっている。

【0031】

PNパターン格納メモリ402は、初期値データ(INITSEC) 404が入力された時点でデータ(P_PNSEC)[159:0]が確定し出力可能状態となる。したがって、並列EXOR回路50にデータ(P_DATASEC) 34が入力されるタイミングに合わせて、秘話スクランブル解除用のPNパターンデータ(P_PNSEC[159:0]) 406をPNパターン格納メモリ402から並列EXOR回路50に供給し、簡

10

20

30

40

50

易秘話スクランブルを解除することができる。

【0032】

以上説明したように上記実施例によれば、初期値データ(INITSEC) 404をPNパターン格納メモリ402のアドレス入力端子404に入力すると、メモリ402から160ビットのパラレルPNパターンが得られる。この場合、図1に示した実施例における秘話スクランブルパターン発生回路42とS/P変換回路46とが不要であるため、タイミング制御等の制御が簡単になる。またPNパターンの生成多項式が変わった場合には、PNパターン格納メモリ402に書き込んで格納しておくデータを書き換えることで対応することが可能である。

【図面の簡単な説明】

【0033】

【図1】本発明が適用されたデスクランブル回路の構成例を示すブロック図である。

【図2】簡易スクランブル処理を示す機能ブロック図である。

【図3】図1に示した実施例におけるデスクランブル回路の動作を示すタイミングチャートである。

【図4】デスクランブル回路の他の構成例を示すブロック図である。

【図5】図4に示したデスクランブル回路の動作例を示すタイミングチャートである。

【符号の説明】

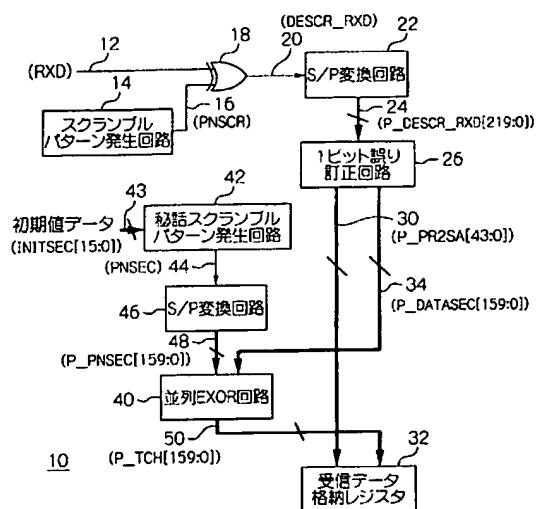
【0034】

- 10 デスクランブル回路
- 14 スクランブルパターン発生回路
- 18 排他的論理和回路
- 22 シリアル/パラレル(S/P)変換回路
- 26 1ビット誤り訂正回路
- 32 受信データ格納レジスタ
- 40 並列排他的論理和(EXOR)回路
- 42 秘話スクランブルパターン発生回路
- 43, 404 初期値データ(INITSEC)
- 46 パラレル/シリアル(P/S)変換回路
- 402 PNパターン格納メモリ

10

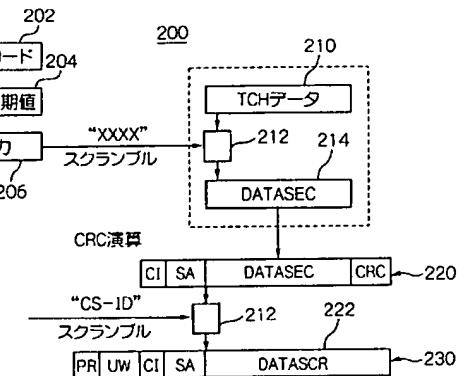
20

【図 1】



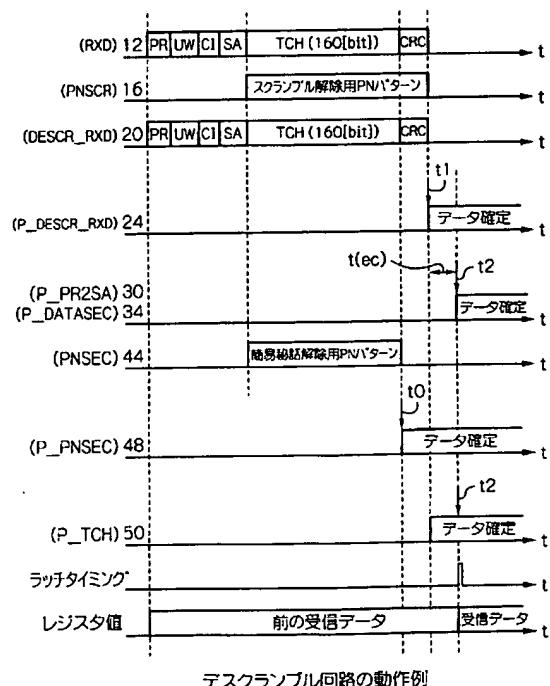
テスクリンブル回路の構成例

【図 2】

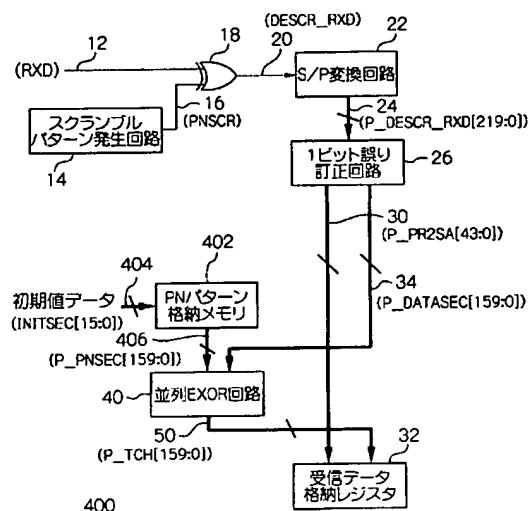


簡易秘話スクリンブル処理の機能ブロック図

【図 3】



【図 4】



テスクリンブル回路の他の構成例

【図 5】

